



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК
G06F 17/17 (2022.08)

(21)(22) Заявка: 2022122043, 15.08.2022

(24) Дата начала отсчета срока действия патента:
15.08.2022

Дата регистрации:
19.12.2022

Приоритет(ы):
(22) Дата подачи заявки: 15.08.2022

(45) Опубликовано: 19.12.2022 Бюл. № 35

Адрес для переписки:
420066, г. Казань, ул. Красносельская, 51,
КГЭУ, Гатиятов Ильнур Зиннурович

(72) Автор(ы):
Аухадеев Авер Эрикович (RU),
Павлов Павел Павлович (RU),
Сафиуллин Булат Ирекович (RU),
Вахитов Халил Фаритович (RU)

(73) Патентообладатель(и):
Федеральное государственное бюджетное
образовательное учреждение высшего
образования "Казанский государственный
энергетический университет" (RU)

(56) Список документов, цитированных в отчете
о поиске: SU 748417 A1, 15.07.1980. RU 2714613
C1, 18.02.2020. RU 2665906 C1, 04.09.2018. RU
2665908 C1, 04.09.2018. US 3388241 A, 11.06.1968.
US 2808986 A, 08.10.1957. US 4290121 A,
15.09.1981.

(54) Цифровое сглаживающее устройство

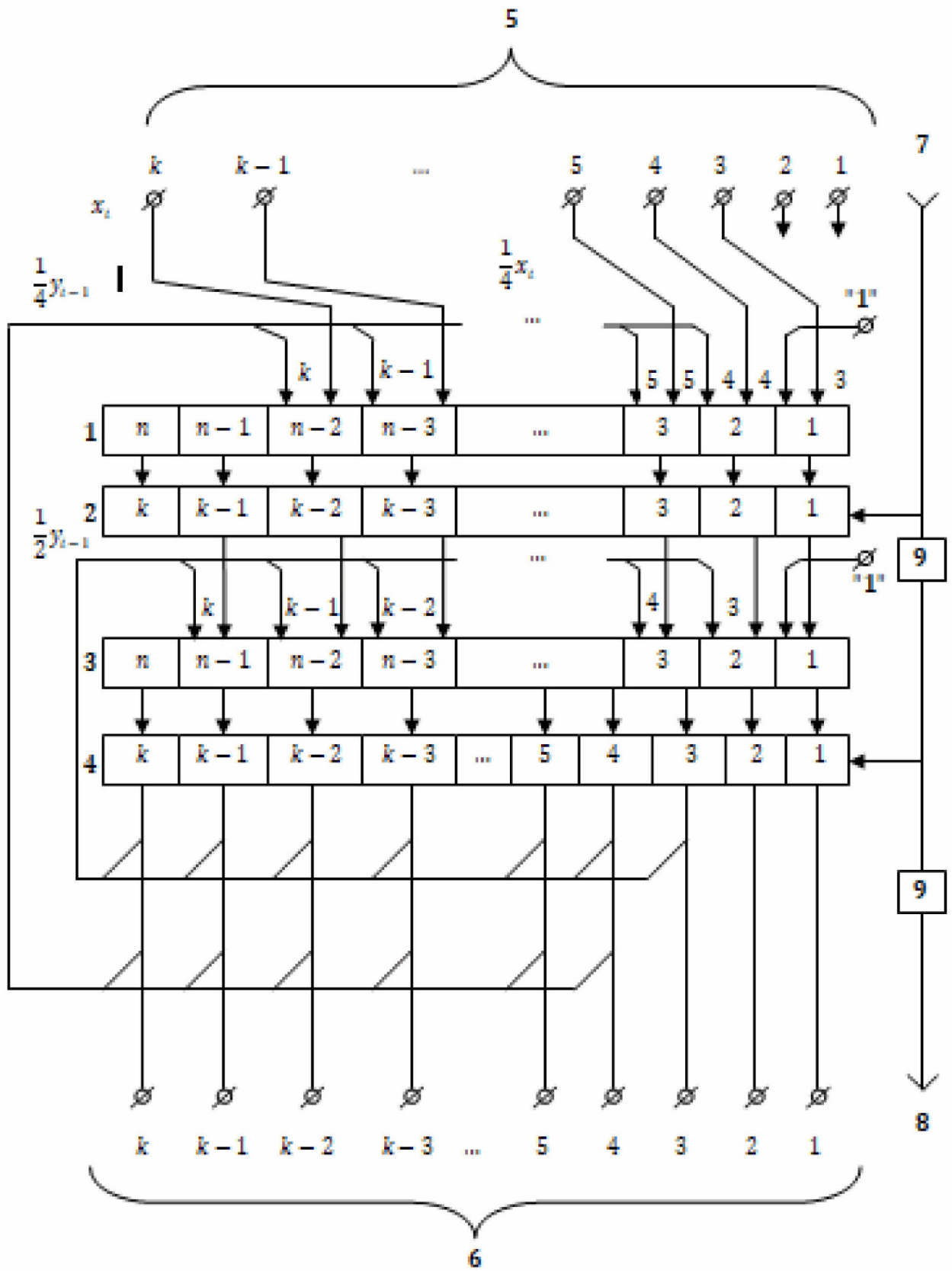
(57) Реферат:

Изобретение относится к автоматике и вычислительной технике и может быть использовано для сглаживания стационарных и нестационарных случайных процессов, в том числе в системах беспилотного управления. Техническим результатом изобретения является снижение аппаратных затрат без какого-либо ущерба для точности (эффективности) сглаживания. Цифровое сглаживающее устройство содержит три последовательно соединенных канала, каждый из которых состоит из двух комбинационных сумматоров, двух запоминающих регистров и узла тактирования. *k*-разрядные шины входной дискретности сглаживаемого случайного процесса, монтажно сдвинутые вправо на два разряда, т.е. начиная с

3-го разряда, подсоединены к шинам первых входов первого комбинационного сумматора. Выходные шины второго запоминающего регистра, начиная с 4-го разряда, монтажно сдвинутые вправо на два разряда, заведены, начиная со 2-го разряда, на шины вторых входов первого комбинационного сумматора. Выходные шины второго запоминающего регистра, начиная с 3-го разряда, монтажно сдвинутые вправо на один разряд, подключены, начиная со 2-го разряда, к шинам вторых входов второго комбинационного сумматора. Второй вход первого разряда первого комбинационного сумматора канала подключен к источнику напряжения логической «1». 5 ил.

RU 2 786 204 C1

RU 2 786 204 C1



Фиг. 1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(12) **ABSTRACT OF INVENTION**

(52) CPC
G06F 17/17 (2022.08)

(21)(22) Application: **2022122043, 15.08.2022**

(24) Effective date for property rights:
15.08.2022

Registration date:
19.12.2022

Priority:

(22) Date of filing: **15.08.2022**

(45) Date of publication: **19.12.2022 Bull. № 35**

Mail address:

**420066, g. Kazan, ul. Krasnoselskaya, 51, KGEU,
Gatiyatov Ilnur Zinnurovich**

(72) Inventor(s):

**Aukhadeev Aver Erikovich (RU),
Pavlov Pavel Pavlovich (RU),
Safiullin Bulat Irekovich (RU),
Vakhitov Khalil Faritovich (RU)**

(73) Proprietor(s):

**Federalnoe gosudarstvennoe biudzhethnoe
obrazovatelnoe uchrezhdenie vysshego
obrazovaniia «Kazanskii gosudarstvennyi
energeticheskii universitet» (RU)**

(54) **DIGITAL SMOOTHER**

(57) Abstract:

FIELD: automation and computer technology.

SUBSTANCE: invention relates to automation and computer technology and can be used to smooth stationary and non-stationary random processes, including in unmanned control systems. The digital smoothing device contains three channels connected in series, each of which consists of two combinational adders, two memory registers and a timing unit. k-bit buses of the input sample of the smoothed random process, edit-shifted to the right by two bits, i.e. starting from the 3rd digit, they are connected to the buses of the first inputs of the first combinational adder. The output buses of the second storage register, starting

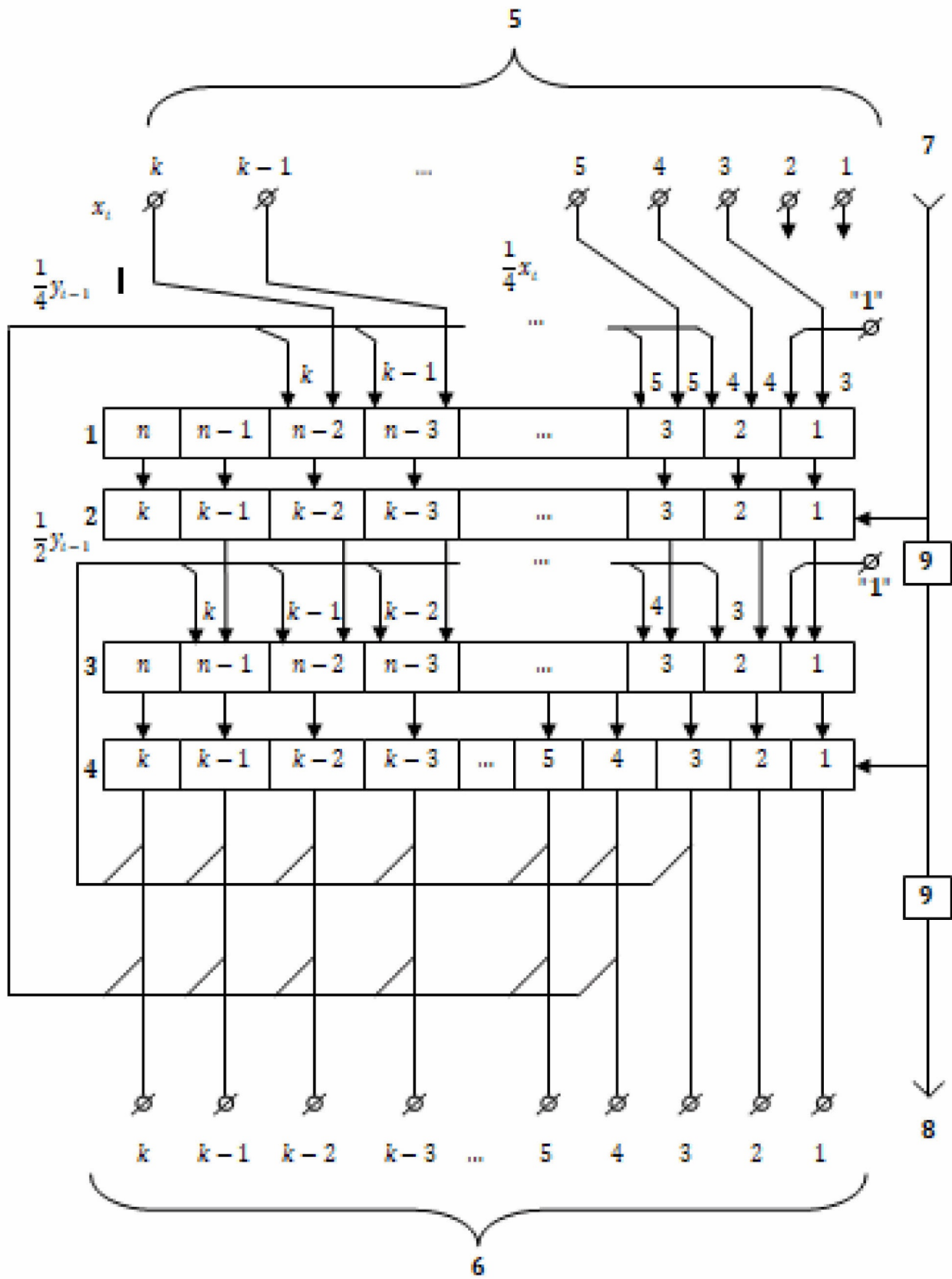
from the 4th bit, shifted to the right by two bits, are connected, starting from the 2nd bit, to the buses of the second inputs of the first combination adder. The output buses of the second storage register, starting from the 3rd bit, shifted to the right by one bit, are connected, starting from the 2nd bit, to the buses of the second inputs of the second combinational adder. The second input of the first digit of the first combinational adder of the channel is connected to the logic "1" voltage source.

EFFECT: reduction of hardware costs without any damage to the accuracy (efficiency) of smoothing.

1 cl, 5 dwg

RU 2 786 204 C1

RU 2 786 204 C1



Фиг. 1

Изобретение относится к автоматике и вычислительной технике и может быть использовано для сглаживания стационарных и нестационарных случайных процессов, в том числе в системах беспилотного управления.

5 Известно адаптивное цифровое сглаживающее устройство (патент РФ №2714613, МПК G06F 17/17, 2020), содержащее арифметический блок из двух сумматоров, регистра сдвига и запоминающего регистра, субблок расчета скорости медианы процесса (МП), буфер регистровой памяти, блоки инверторов и формирования импульсов сдвига, субблок выбора коэффициента сглаживания по скорости МП. Устройство имеет сложную схему коммутации узлов и блоков.

10 Наиболее близким по технической сущности к заявляемому устройству является, выбранное в качестве прототипа, многоканальное цифровое сглаживающее устройство (а.с. СССР №748417, МПК G06F 15/32, бюл. №26, 1980), содержащее формирователь тактов и m последовательно соединенных каналов, каждый из которых содержит комбинационный сумматор и регистр. Устройство имеет относительно большой объем
15 оборудования, в частности, для повышения точности (эффективности) сглаживания, т.е. минимизации среднеквадратического отклонения (СКО) сглаживаемого случайного процесса (СП), следует задавать достаточно большое фиксированное число каналов сглаживания m (см. фиг. 2). Техническая задача для предлагаемого устройства заключается в существенном упрощении прототипа, т.е. снижении аппаратных затрат,
20 без какого-либо ущерба для точности (эффективности) сглаживания.

Поэтому, в цифровом сглаживающем устройстве, содержащем три последовательно соединенных канала, каждый из которых состоит из первого n - разрядного комбинационного сумматора, выход которого через первый k - разрядный ($k=n$) запоминающий регистр подключен к шинам первых входов второго комбинационного
25 сумматора, на шину второго входа первого разряда которого заведен потенциал источника напряжения логической «1», выход второго сумматора подключен на вход второго регистра, выход которого является входом для следующего канала или выходом устройства с третьего (последнего) канала[^] тактирующий вход канала подключен к шине записи первого регистра, через первый элемент задержки к шине записи второго
30 регистра и через второй элемент задержки к тактическому выходу канала, для решения поставленной задачи k - разрядные шины входной дискреты сглаживаемого случайного процесса, монтажно сдвинутые вправо на два разряда, т.е. начиная с 3-го разряда, подсоединены к шинам первых входов первого сумматора, выходные шины второго регистра, начиная с 4-го разряда, монтажно сдвинутые вправо на два разряда, заведены,
35 начиная со 2-го разряда, на шины вторых входов первого сумматора, а выходные шины, начиная с 3-го разряда, монтажно сдвинутые вправо на один разряд, подключены, начиная со 2-го разряда, к шинам вторых входов второго сумматора, а второй вход первого разряд первого сумматора канала подключен к источнику напряжения логической «1».

40 В каждом канале предложенного устройства и прототипа, реализован оператор экспоненциального сглаживания Брауна:

$$y_i = y_{i-1} + \alpha (x_i - y_{i-1}), \quad (1)$$

где x_i - входная дискрета;

45 y_1 - выходная дискрета сглаженного СП;

α - коэффициент сглаживания.

В прототипе установлен коэффициент $\alpha = 1/2$ в предложенном устройстве принят коэффициент сглаживания равный $\alpha = 1/4$ и для решения соответствующего ему

уравнения

$$y_i = x_i/4 + y_{i-1}/4 + y_{i-1}/2, \quad (2)$$

в канале требуется два сумматора, а операция деления слагаемых в уравнении (2) на четверть и пополам заменяется монтажным сдвигом входных дискрет слагаемых, соответственно, на два (1/4) или на один (1/2) разряд вправо. Возникающая при этом погрешность усечения (отбрасывания) имеет отрицательный знак и составляет, в среднем, при сдвиге на два разряда: $e_y = -1,5$, на один разряд: $e_y = -0,5$.

Для компенсации погрешности усечения вводится погрешность добавления, имеющая положительный знак, соответственно, для (1/4) $e_d = +1,5$ и для (1/2) $e_d = +0,5$. Погрешность добавления образуется путем ввода положительного (высокого) уровня потенциала логической «1» на шины вторых входов первых разрядов обоих сумматоров. При сложении слагаемых эти погрешности компенсируют друг друга.

Сущность изобретения поясняется чертежами, на которых изображены:

фиг. 1 - блок-схема одного канала предлагаемого трехканального устройства;

фиг. 2 - результаты моделирования на ЭВМ работы прототипа: m - канального сглаживающего устройства с одним сумматором в каналец

фиг. 3, 4 и 5 - результаты моделирования на ЭВМ работы предлагаемого 3-х канального сглаживающего устройства с двумя сумматорами в каждом каналец

фиг. 3 - результат моделирования работы устройства без компенсации погрешности усечения всех трех слагаемых в уравнении (2) - результат отрицательный: существенное снижение среднего значения (медианы) сглаживаемой реализации;

фиг. 4 - результат моделирования работы устройства с компенсацией погрешности усечения для всех слагаемых в уравнении (2): наблюдается определенное увеличение среднего значения сглаживаемой реализации (перекомпенсация);

фиг. 5 - результаты моделирования работы оптимального варианта реализации предлагаемого 3-х канального сглаживающего устройства с компенсацией погрешности усечения только для 2-х слагаемых в уравнении (2): выходных дискрет y_{i-1} канала.

Устройство состоит из трех последовательно соединенных каналов, каждый из которых (см. фиг. 1) содержит первый комбинационный сумматор 1, первый запоминающий регистр 2, второй комбинационный сумматор 3, второй запоминающий регистр 4, информационные вход 5 и выход 6, тактирующие вход 7 и выход 8, элемент задержки 9.

В соответствии с уравнением (2) цикл работы канала состоит из двух тактов: в первом - управляющий импульс со входа 7 фиксирует сумму двух слагаемых в первом регистре, через элемент задержки 9 во втором такте записывает во второй регистр результат суммирования и через очередной элемент задержки 9 поступает на тактирующий выход 8, а с него на тактирующий вход 7 следующего канала, производя операции аналогичные описанному выше циклу.

Если для получения результата сглаживания (уровня СКО между исходным и сглаженным СП) с выхода второго канала заявленного устройства (см. фиг. 5, $d=2$) задействовано четыре сумматора, то аналогичный результат в прототипе достигается только с выхода 16-го канала (см. фиг. 2, $m=16$), т.е. следует задействовать 16 сумматоров.

(57) Формула изобретения

Цифровое сглаживающее устройство, содержащее три последовательно соединенных канала, каждый из которых состоит из первого n -разрядного комбинационного

сумматора, выход которого через первый k -разрядный ($k = n$) запоминающий регистр
подключен к шинам первых входов второго комбинационного сумматора, на шину
второго входа первого разряда которого заведен потенциал источника напряжения
логической «1», выход второго сумматора подключен на вход второго регистра, выход
5 которого является входом для следующего канала или выходом устройства с третьего
(последнего) канала; тактирующий вход канала подключен к шине записи первого
регистра, через первый элемент задержки к шине записи второго регистра и через второй
элемент задержки к тактическому выходу канала, отличающееся тем, что k -разрядные
шины входной дискретности сглаживаемого случайного процесса, монтажно сдвинутые
10 вправо на два разряда, т.е. начиная с 3-го разряда, подсоединены к шинам первых
входов первого сумматора, выходные шины второго регистра, начиная с 4-го разряда,
монтажно сдвинутые вправо на два разряда, заведены, начиная со 2-го разряда, на
шины вторых входов первого сумматора, а выходные шины второго регистра, начиная
с 3-го разряда, монтажно сдвинутые вправо на один разряд, подключены, начиная со
15 2-го разряда, к шинам вторых входов второго сумматора, а второй вход первого разряда
первого сумматора канала подключен к источнику напряжения логической «1».

20

25

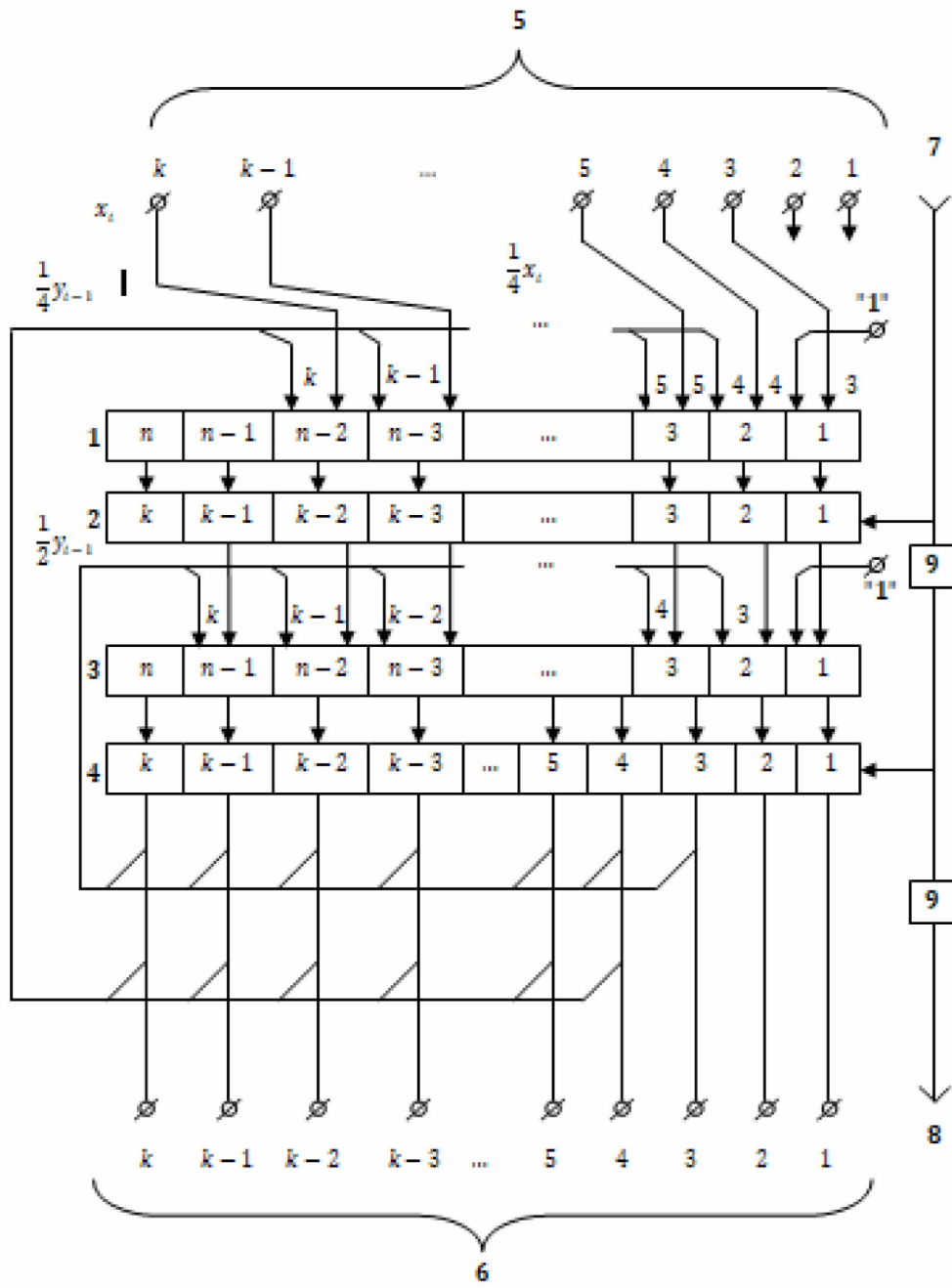
30

35

40

45

1



Фиг. 1

2

Многоканальное цифровое сглаживающее устройство
(Прототип: в канале - 1 сумматор)

Исходный СП: Средн.= 50.11 СКО=10.49

m =	1	Средн.=	50.16	СКО=	5.65
m =	2	Средн.=	50.11	СКО=	4.23
m =	3	Средн.=	50.13	СКО=	3.68
m =	4	Средн.=	50.09	СКО=	3.43
m =	5	Средн.=	50.13	СКО=	3.14
m =	6	Средн.=	50.13	СКО=	2.90
m =	7	Средн.=	50.13	СКО=	2.86
m =	8	Средн.=	50.13	СКО=	2.77
m =	9	Средн.=	50.18	СКО=	2.70
m =	10	Средн.=	50.19	СКО=	2.61
m =	11	Средн.=	50.15	СКО=	2.50
m =	12	Средн.=	50.01	СКО=	2.41
m =	13	Средн.=	50.00	СКО=	2.38
m =	14	Средн.=	49.99	СКО=	2.36
m =	15	Средн.=	49.97	СКО=	2.34
m =	16	Средн.=	49.96	СКО=	2.24
m =	17	Средн.=	49.96	СКО=	2.22
m =	18	Средн.=	50.01	СКО=	2.19
m =	19	Средн.=	50.02	СКО=	2.16
m =	20	Средн.=	50.03	СКО=	2.13
m =	21	Средн.=	50.04	СКО=	2.10
m =	22	Средн.=	50.05	СКО=	2.07
m =	23	Средн.=	50.06	СКО=	2.04
m =	24	Средн.=	50.06	СКО=	2.01
m =	25	Средн.=	50.10	СКО=	1.97
m =	26	Средн.=	50.11	СКО=	1.93
m =	27	Средн.=	50.12	СКО=	1.90
m =	43	Средн.=	50.57	СКО=	1.39
m =	44	Средн.=	50.58	СКО=	1.37
m =	45	Средн.=	50.58	СКО=	1.35
m =	46	Средн.=	50.59	СКО=	1.34
m =	47	Средн.=	50.60	СКО=	1.32
m =	48	Средн.=	50.65	СКО=	1.26
m =	49	Средн.=	50.65	СКО=	1.26

Фиг. 2

Цифровое сглаживающее устройство
(Трехканальное: в канале - 2 сумматора)

Исходный СП: Средн.= 50.11 СКО=10.49

d = 1 Средн.= 46.08 СКО=3.80

d = 2 Средн.= 41.76 СКО=2.94

d = 3 Средн.= 37.74 СКО=1.61

d = 4 Средн.= 34.08 СКО=0.28

d = 5 Средн.= 32.00 СКО=0.00

Фиг. 3

Исходный СП: Средн.= 50.11 СКО=10.49

d = 1 Средн.= 50.66 СКО=4.00

d = 2 Средн.= 50.45 СКО=2.35

d = 3 Средн.= 50.72 СКО=0.75

d = 4 Средн.= 51.00 СКО=0.00

d = 5 Средн.= 51.00 СКО=0.00

Фиг. 4

Исходный СП: Средн.= 50.11 СКО=10.49

d = 1 Средн.= 50.13 СКО=3.97

d = 2 Средн.= 49.96 СКО=2.25

d = 3 Средн.= 50.04 СКО=0.57

d = 4 Средн.= 50.00 СКО=0.00

d = 5 Средн.= 50.00 СКО=0.00

Фиг. 5